

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-135290

(43)Date of publication of application : 23.05.1995

(51)Int.Cl.

H01L 23/538

H01L 25/04

H01L 25/18

(21)Application number : 06-191455

(71)Applicant : TOSHIBA CORP  
TOSHIBA HINO TSUSHIN KOGYO KK

(22)Date of filing : 15.08.1994

(72)Inventor : SAWANO MITSUTOSHI  
YAMAGUCHI MASAYOSHI  
TAKARAGI KAZUTOSHI

(30)Priority

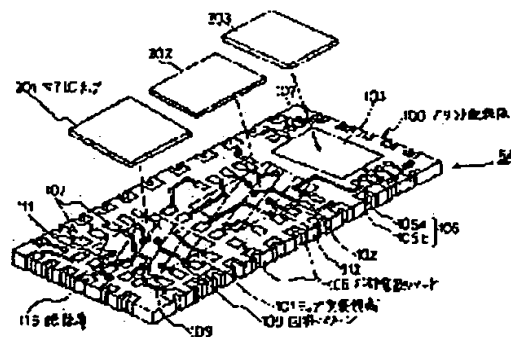
Priority number : 05228644. Priority date : 14.09.1993 Priority country : JP

## (54) MULTIPCHIP MODULE

(57)Abstract:

PURPOSE: To provide a multichip module which can be reduced in size and number of manufacturing processes as compared with the conventional multichip module.

CONSTITUTION: In a multichip module which is provided with a printed wiring board 100 mounted on another printed wiring board and a plurality of bare IC chips 201, 202, and 203 mounted on the board 100, external electrode pads 105 which are formed in halved through-holes and soldered to the printed wiring board on which the board 100 is mounted are provided on the outer peripheral surface of the board 100.



## LEGAL STATUS

[Date of request for examination]

02.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-135290

(43)公開日 平成7年(1995)5月23日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/538 25/04 25/18			H 0 1 L 23/ 52 25/ 04 審査請求 未請求 請求項の数21 O L (全 16 頁)	A Z

(21)出願番号	特願平6-191455	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成6年(1994)8月15日	(71)出願人	593172072 東芝日野通信工業株式会社 東京都日野市旭が丘3丁目1番地の1
(31)優先権主張番号	特願平5-228644	(72)発明者	澤野 光俊 東京都日野市旭が丘3丁目1番地の1 株 式会社東芝日野工場内
(32)優先日	平5(1993)9月14日	(72)発明者	山口 政経 東京都日野市旭が丘3丁目1番地の1 株 式会社東芝日野工場内
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 本田 崇

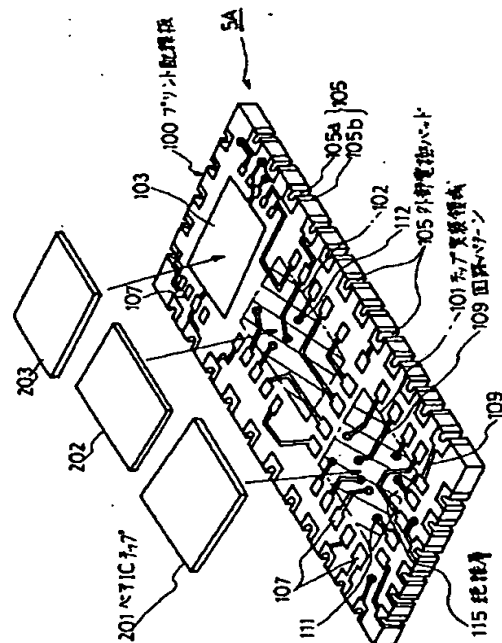
最終頁に続く

(54)【発明の名称】 マルチチップモジュール

(57)【要約】

【目的】 従来のマルチチップモジュールに比較して小形にでき、製造工数も削減できるマルチチップモジュールの提供。

【構成】 プリント配線板100とこのプリント配線板100に実装される複数のベアICチップ201、202、203とを具備して構成され前記プリント配線板100が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板100の外周面にはスルーホールを半分に切断した形状とされ前記他のプリント配線板に半田付けされる外部電極パッド105が設けられている。



## 【特許請求の範囲】

【請求項1】 プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板の外周面にはスルーホールを半分に切断した形状とされ前記他のプリント配線板に半田付けされる外部電極パッドが設けられていることを特徴とするマルチチップモジュール。

【請求項2】 プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記複数のベアICチップが実装される前記プリント配線板の複数の領域の内の少くとも一つの領域の表面には回路パターンが設けられこの回路パターン上に絶縁層が設けられていることを特徴とするマルチチップモジュール。

【請求項3】 複数のベアICチップが実装されるプリント配線板の複数の領域の内の少くとも一つの領域の表面には回路パターンが設けられこの回路パターン上に絶縁層が設けられていることを特徴とする請求項1記載のマルチチップモジュール。

【請求項4】 プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記複数のベアICチップが実装される前記プリント配線板の複数の領域の内の少くとも一つの領域の表面には印刷抵抗体及び印刷誘電体のうちの少くとも一方が設けられこの印刷抵抗体、印刷誘電体上に絶縁層が設けられていることを特徴とするマルチチップモジュール。

【請求項5】 複数のベアICチップが実装されるプリント配線板の複数の領域の内の少くとも一つの領域の表面には印刷抵抗体及び印刷誘電体のうちの少くとも一方が設けられこの印刷抵抗体、印刷誘電体上に絶縁層が設けられていることを特徴とする請求項1乃至3の何れかに記載のマルチチップモジュール。

【請求項6】 プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されると共に前記ベアICチップの実装面側から内層に至るインタースティシャルバイアホールが設けられ、前記ベアICチップ間が前記インタースティシャルバイアホール及び前記内層に設けられた導体層を介して電気的に接続されていることを特徴とするマルチチップモジュール。

【請求項7】 プリント配線板は多層に形成されると共にベアICチップの実装面側から内層に至るインタースティシャルバイアホールが設けられ、前記ベアICチッ

プ間が前記インタースティシャルバイアホール及び前記内層に設けられた導体層を介して電気的に接続されていることを特徴とする請求項1乃至5の何れかに記載のマルチチップモジュール。

【請求項8】 プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されると共に内層に設けられた導体層に両端が電気的に接続された抵抗体層が前記内層に設けられていることを特徴とするマルチチップモジュール。

【請求項9】 プリント配線板は多層に形成されると共に内層に設けられた導体層に両端が電気的に接続された抵抗体層が前記内層に設けられていることを特徴とする請求項1乃至7の何れかに記載のマルチチップモジュール。

【請求項10】 プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されると共に内層に設けられた導体層に両面が電気的に接続された誘電体層が前記内層に設けられていることを特徴とするマルチチップモジュール。

【請求項11】 プリント配線板は多層に形成されると共に内層に設けられた導体層に両面が電気的に接続された誘電体層が前記内層に設けられていることを特徴とする請求項1乃至7の何れかに記載のマルチチップモジュール。

【請求項12】 プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されると共に内層に設けられた導体層に両端が電気的に接続された抵抗体層及び内層に設けられた導体層に両面が電気的に接続された誘電体層が前記内層に設けられていることを特徴とするマルチチップモジュール。

【請求項13】 プリント配線板は多層に形成されると共に内層に設けられた導体層に両端が電気的に接続された抵抗体層および内層に設けられた導体層に両面が電気的に接続された誘電体層が前記内層に設けられていることを特徴とする請求項1乃至7の何れかに記載のマルチチップモジュール。

【請求項14】 プリント配線板の表面であってベアICチップの実装領域の外側にはトリミングを可能とした調整用の印刷抵抗体及び印刷誘電体の少くとも一方が設けられていることを特徴とする請求項1乃至13の何れかに記載のマルチチップモジュール。

【請求項15】 プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成さ

10

20

30

40

50

れ前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板には前記複数のベアICチップを囲繞し前記ベアICチップを封止する樹脂が充填されるダム枠が設けられていることを特徴とするマルチチップモジュール。

【請求項16】 プリント配線板には複数のベアICチップを囲繞し前記ベアICチップを封止する樹脂が充填されるダム枠が設けられていることを特徴とする請求項1乃至14の何れかに記載のマルチチップモジュール。

【請求項17】 ダム枠にはベアICチップ間を仕切る状態に補強部が設けられていることを特徴とする請求項15又は16に記載のマルチチップモジュール。

【請求項18】 プリント配線板はベアICチップの実装面側の周縁部に電極パッドが設けられ、この電極パッドとこの電極パッドの周囲との境界部分が前記プリント配線板にダム枠を取り付ける際の基準位置となっていることを特徴とする請求項15乃至17の何れかに記載のマルチチップモジュール。

【請求項19】 プリント配線板はベアICチップ実装面側の周縁部に電極パッドが設けられと共にこの電極パッドに隣接させてソルダーレジストが設けられ、前記電極パッドと前記ソルダーレジストとの境界部分が前記プリント配線板にダム枠を取り付ける際の基準位置となっていることを特徴とする請求項15乃至17の何れかに記載のマルチチップモジュール。

【請求項20】 ベアICチップ封止用の樹脂はその上面がダム枠の上端面よりも高くならない範囲で前記ダム枠内に充填されていることを特徴とする請求項15乃至19の何れかに記載のマルチチップモジュール。

【請求項21】 ベアICチップはフリップチップボンディングによりプリント配線板に実装されていることを特徴とする請求項1乃至20の何れかに記載のマルチチップモジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数のベアICチップが1つのプリント配線板上に実装されて構成されるマルチチップモジュール(MCM)に関する。

【0002】

【従来の技術】 電子機器の小形化、高機能化の進展により、プリント配線板1に実装されるICは、図21に示すパッケージタイプのIC2から図22に示すベアICチップ3へ、さらには図23に示すマルチチップモジュール5へと変遷している。

【0003】 図22に示す実装構造は、ベアICチップ3をダイボンディング法、ワイヤボンディング法により直接プリント配線板1に実装する構造であるので、パッケージタイプのIC2をプリント配線板1に実装する場合に比べその実装面積をはるかに小さくできる。しかし、多数のベアICチップ3をプリント配線板1に実装

した後に1つでも不良のベアICチップ3が発見された場合に、不良のベアICチップ3のみを取り外すことが困難であるので、プリント配線板そのものを廃棄せねばならないという問題があった。

【0004】 上記問題点を解決したのが図23に示すマルチチップモジュール5である。このマルチチップモジュール5の製造工程を図25を参照して簡単に説明すると、多層のプリント配線板51にベアICチップ52をダイボンディングし、さらにワイヤボンディングを行い、次に各ベアICチップ52にダム枠53を取り付けて樹脂封止をし、次にプリント配線板51の周縁部分に設けられている電極パッドに外部電極としてガルウィング型(Gull Wing Type)のリード端子55をはんだ付けすることにより構成されている。

【0005】 このマルチチップモジュール5にあっては、モジュール単体として機能検査を行えるので、良品のマルチチップモジュール5だけをプリント配線板(以下、主プリント配線板という)1に実装できる。しかし、この従来のマルチチップモジュール5には次のような問題があった。

【0006】 第1にプリント配線板51の周囲に多数のリード端子55を半田付けしなければならないので作業工数がかかり、又、このリード端子55が主プリント配線板1に占める分だけ主プリント配線板1の電子部品実装密度が低下する。

【0007】 第2に複数のベアICチップ52を電氣的に接続するための回路パターン(図示せず)をベアICチップ52の周囲に走らせる必要があるので、プリント配線板51に実装されるベアICチップ52の大きさに比較してプリント配線板51が大形化する。

【0008】 第3に、ベアICチップ52を樹脂57で封止するためのダム枠53を取り付ける構成の場合には、個々のベアICチップ52を囲繞する状態に取り付けられるダム枠53の占める面積が大きくなり、この点からもプリント配線板51が大形化していた。また、ダム枠53は、図24に示す如く、ダム枠53に設けた突起53aをプリント配線板51の穴部51aに挿入して位置決めをしプリント配線板51に接着されるが、プリント配線板51には位置決め用の穴部51aが多数形成されることになるので、これらの穴部51aのために回路パターンを走らせ難くなり、結果としてプリント配線板51が大形化していた。また、図26に示す如く、マルチチップモジュール5のダム枠53で囲まれた部分を真空吸着器7を用いて吸着して主プリント配線板1にマルチチップモジュールを実装する場合に、個々のダム枠53は小形であるので、十分な吸着面積を確保できなかった。

【0009】 第4に、マルチチップモジュール5に回路調整用等の抵抗、コンデサを設けて複合モジュール化を進める場合には、ベアICチップ52の周囲にチップ抵

抗、チップコンデンサを設けるためのスペース及びこれらの部品を半田付けするための電極パッドを設ける必要があるのでプリント配線板 51 がさらに大形化する。また、ベア IC チップ 52 の樹脂封止を行った後にこれらのチップ部品の半田付けを行わねばならないので作業工数が非常に増加する。一方、マルチチップモジュール 5 が実装されるプリント配線板側にチップ抵抗、チップコンデンサを実装した場合には、これらのチップ部品を含めたマルチチップモジュール 5 の実装面積が増大し、その分主プリント配線板が大形化する。

【0010】

【発明が解決しようとする課題】上記した如く、従来のマルチチップモジュールは、リード端子の取付けに工数がかかり、又、リード端子の分だけ大形化していた。また、ベア IC チップ間を接続する回路パターンを走らせるためにプリント配線板が大形化していた。また、個々のベア IC チップへのダム枠の取付けに工数がかかり、又、ダム枠を取付けることによりプリント配線板がさらに大形化する結果となっていた。また、ダム枠の部分を真空吸着してマルチチップモジュールを主プリント配線板に吸着することは困難でもあった。さらにまた、マルチチップモジュールに抵抗、コンデンサを設けて複合化を進める場合には、マルチチップモジュールはさらに大形化し、このモジュールが実装される主プリント配線板が大形化するという問題があった。

【0011】本発明は、上記従来の欠点を解決するべくなされたものであり、従来のマルチチップモジュールよりも小形にでき、製造工数を削減でき、しかも、真空吸着による主プリント配線板への実装も容易となるマルチチップモジュールを提供することを目的とする。

【0012】

【課題を解決するための手段】第 1 の発明では、プリント配線板とこのプリント配線板に実装される複数のベア IC チップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板の外周面にはスルーホールを半分に切断した形状とされ前記他のプリント配線板に半田付けされる外部電極パッドが設けられた構成となっている。

【0013】第 2 の発明では、プリント配線板とこのプリント配線板に実装される複数のベア IC チップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記複数のベア IC チップが実装される前記プリント配線板の複数の領域の内の少くとも一つの領域の表面には回路パターンが設けられこの回路パターン上に絶縁層が設けられた構成となっている。

【0014】第 3 の発明は、上記 2 つの発明を組み合わせることにより構成される。

【0015】第 4 の発明はプリント配線板とこのプリン

ト配線板に実装される複数のベア IC チップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記複数のベア IC チップが実装される前記プリント配線板の複数の領域の内の少くとも一つの領域の表面には印刷抵抗体及び印刷誘電体のうちの少くとも一方が設けられこの印刷抵抗体、印刷誘電体上に絶縁層が設けられて構成されている。

【0016】第 5 の発明は第 1 乃至第 3 の何れかの発明に第 4 の発明を組み合わせることにより構成されている。

【0017】第 6 の発明では、プリント配線板とこのプリント配線板に実装される複数のベア IC チップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されると共に前記ベア IC チップの実装面側から内層に至るインタースティシャルパイアホールが設けられ、前記ベア IC チップ間が前記インタースティシャルパイアホール及び前記内層に設けられた導体層を介して電氣的に接続された構成となっている。

【0018】また、第 7 の発明は第 1 乃至第 5 の発明の何れかに第 6 の発明を組み合わせることにより構成される。

【0019】第 8 の発明では、プリント配線板とこのプリント配線板に実装される複数のベア IC チップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されると共に内層に設けられた導体層に両端が電氣的に接続された抵抗体層が前記内層に設けられた構成となっている。

【0020】また、第 9 の発明は第 1 乃至第 7 の発明の何れかに第 8 の発明を組み合わせることにより構成される。

【0021】第 10 の発明では、プリント配線板とこのプリント配線板に実装される複数のベア IC チップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されると共に内層に設けられた導体層に両面が電氣的に接続された誘電体層が前記内層に設けられた構成となっている。

【0022】また、第 11 の発明は、第 1 乃至第 7 の発明の何れかに第 10 の発明を組み合わせることにより構成される。

【0023】第 12 の発明では、プリント配線板とこのプリント配線板に実装される複数のベア IC チップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されると共に内層に設けられた導体層に両端が電氣的に接続された抵抗体層及び

内層に設けられた導体層に両面が電氣的に接続された誘電体層が前記内層に設けられて構成される。

【0024】また、第13の発明は第1乃至第7の発明の何れかに第12の発明を組み合わせることにより構成される。第14の発明では、第1乃至第13の発明の何れかの発明において、プリント配線板の表面であってベアICチップの実装領域の外側にはトリミングを可能とした調整用の印刷抵抗体及び印刷誘電体の少くとも一方が設けられている。

【0025】第15の発明では、プリント配線板とこのプリント配線板に実装される複数のベアICチップとを具備して構成され前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板には前記複数のベアICチップを囲繞し前記ベアICチップを封止する樹脂が充填されるダム枠が設けられた構成となっている。

【0026】また、第16の発明では、第1乃至第14の発明の何れかの発明において、複数のベアICチップを囲繞するダム枠を設けた構成となっている。

【0027】また、第17の発明では、第15又は第16の発明において、ダム枠にはベアICチップ間を仕切る状態に補強部が設けられている。

【0028】第18の発明では、第15乃至第17の何れかの発明において、プリント配線板はベアICチップの実装面側の周縁部に電極パッドが設けられ、この電極パッドとこの電極パッドの周囲との境界部分が前記プリント配線板にダム枠を取り付ける際の基準位置となっている。

【0029】また、第19の発明では、第15乃至第17の何れかの発明において、ベアICチップの実装面側の周縁部に電極パッドが設けられ、この電極パッドに隣接させてソルダーレジストが設けられ、前記電極パッドと前記ソルダーレジストとの境界部分が前記プリント配線板にダム枠を取り付ける際の基準位置となっている。

【0030】さらにまた、第20の発明では、第15乃至第19の発明の何れかの発明において、ベアICチップ封止用の樹脂を、その上面がダム枠の上端面よりも高くない範囲でダム枠内に充填する構成となっている。

【0031】また、第21の発明では、第1乃至第20の発明の何れかの発明において、ベアICチップはフリップチップボンディングによりプリント配線板に実装されている。

【0032】

【作用】第1の発明に係るマルチチップモジュールでは、他のプリント配線板に半田付けするための外部電極パッドがプリント配線板の外周面に形成されているので、プリント配線板の周縁部に従来の如きリード端子を設ける必要はない。

【0033】第2の発明に係るマルチチップモジュール

では、プリント配線板の表面であってベアICチップの底面側に回路パターンが設けられているので、ベアICチップの周囲に設ける必要のある回路パターンは減少する。

【0034】第3の発明に係るマルチチップモジュールでは、第1及び第2の発明に係るマルチチップモジュールの作用を合せ持つ。

【0035】第4の発明に係るマルチチップモジュールでは、プリント配線板の表面であってベアICチップの底面側に抵抗やコンデンサを形成できるのでベアICチップの周囲にチップ抵抗やチップコンデンサを設けなくて済む。

【0036】第5の発明に係るマルチチップモジュールでは、第1乃至第3の発明のうちの何れかの発明の作用と第4の発明の作用とを合せ持つ。

【0037】第6の発明に係るマルチチップモジュールでは、プリント配線板の内層に設けられた導体層及びインターフェースバイアホールを介して複数のベアICチップが電氣的に接続されているので、ベアICチップの周囲に設ける必要のある回路パターンは減少する。

【0038】また、第7の発明に係るマルチチップモジュールは、第1乃至第5の発明のうちの何れかの発明の作用と第6の発明の作用とを合せ持つ。

【0039】第8の発明に係るマルチチップモジュールは、プリント配線板の内層に抵抗を形成できるので、プリント配線板の表面にチップ抵抗を設けなくて済む。

【0040】また、第9の発明に係るマルチチップモジュールは、第1乃至第7の発明のうちの何れかの発明の作用と第8の発明の作用とを合せ持つ。

【0041】第10の発明に係るマルチチップモジュールでは、プリント配線板の内層にコンデンサを形成できるので、プリント配線板の表面にチップコンデンサを設けなくて済む。

【0042】また、第11の発明に係るマルチチップモジュールは、第1乃至第7の発明のうちの何れかの発明の作用と第10の発明の作用とを合せ持つ。

【0043】第12の発明に係るマルチチップモジュールは、プリント配線板の内層に抵抗及びコンデンサを形成できるので、プリント配線板の表面にチップ抵抗、チップコンデンサを設けなくて済む。

【0044】また、第13の発明に係るマルチチップモジュールは、第1乃至第7の発明のうちの何れかの発明の作用と第12の発明の作用とを合せ持つ。

【0045】第14の発明に係るマルチチップモジュールでは、トリミング可能な印刷抵抗体、印刷誘電体が設けられているので、第1乃至第13の何れかの発明の作用に加え、印刷抵抗体、印刷誘電体の一部を削ることで回路の微調整を行える。第15の発明に係るマルチチップモジュールでは、一つのダム枠で複数のベアICチップを囲繞しているため、ベアICチップごとにダム

枠を設ける必要がなくなる。

【0046】第16の発明に係るマルチチップモジュールでは、第1乃至第14の発明のうちの何れかに記載の発明の作用と第15の発明の作用とを合せ持つ。

【0047】第17の発明に係るマルチチップモジュールは、第15又は第16の発明の作用に加え、ダム枠に補強部が設けられているので樹脂封止及びリフローはんだ付け時に熱歪を軽減できるという作用を有する。

【0048】第18の発明に係るマルチチップモジュールでは、電極パッドとこの電極パッドの周囲との境界部分 10 10を基準としてプリント配線板にダム枠が取り付けられるので、第15乃至第17の何れかの発明の作用に加え、プリント配線板にダム枠取付用の穴部を設ける必要がないという作用を有する。

【0049】第19の発明に係るマルチチップモジュールでは、電極パッド間のハンダブリッジを防止するために電極パッドに隣接させて設けられるソルダーレジスト（一般に緑色）と電極パッド（一般に金色）との境界部分がダム枠取付用の基準位置となっており、境界部分が色の差から明確になる。

【0050】第20の発明に係るマルチチップモジュールでは、複数のベアICチップを囲繞するダム枠内に充填される樹脂はダム枠よりも突出していないので、マルチチップモジュールのダム枠で囲まれた部分を真空吸着器で容易に吸着できる。

【0051】第21の発明に係るマルチチップモジュールでは、ベアICチップはフリップチップボンディングによりプリント配線板に実装されるので、プリント配線板の表面には、ベアICチップの周囲にボンディング用のパッドを設ける必要がない。

【0052】

【実施例】以下、本発明の実施例を図1乃至図20を参照して詳述する。

【0053】図1乃至図4は第1の実施例を示す図であり、図1はマルチチップモジュールの分解斜視図、図2はマルチチップモジュールの斜視図、図3は主プリント配線板に実装されたマルチチップモジュールの斜視図、図4はマルチチップモジュールの要部断面図である。

【0054】本例に係るマルチチップモジュール5Aは、図1及び図2に示す如く、多層のプリント配線板100とこのプリント配線板100に実装される3種類のベアICチップ201、202、203を具備して構成されており、ベアICチップ201はプリント配線板100表面の一点鎖線で示された領域101に、ベアICチップ202はプリント配線板100表面の一点鎖線で示された領域102に、ベアICチップ203はプリント配線板100表面の実線で示された領域103に夫々実装される。

【0055】プリント配線板100の外周面には図3に示す主プリント配線板（他のプリント配線板）1側に半

田付けされる外部電極パッド105が多数設けられている。この外部電極パッド105はスルーホールを半分に切断した形状とされた導体層部分105aとこの導体層部分105aの周囲に設けられた導体層部分105bより構成されている。また、プリント配線板100の表面には、領域101、102、103を囲むようにしてワイヤボンディング用のリードパッド107が多数設けられている。

【0056】そして、これらのリードパッド107や外部電極パッド105間はプリント配線板100の表面に設けられた回路パターン109及びプリント配線板100に形成された貫通スルーホール111、インタースティシャルパイアホール112で接続されている。

【0057】特に注目すべき点は、図4に示す如く、プリント配線板100表面の回路パターン109と内層116の導体層をインタースティシャルパイアホール112で接続したことであり、これにより、プリント配線板100の表面に形成する必要がある回路パターン109の数を削減させることができ、しかも、インタースティシャルパイアホール112はプリント配線板100の裏面側へ貫通してないので、後行程で主プリント配線板1にマルチチップモジュール5Aを実装した際に主プリント配線板1側の導体との間で短絡事故を起こす危険もない。

【0058】また、プリント配線板100表面の回路パターン109は領域101、102の内側にまで設けられており、この領域にはプリント配線板100の他のパターン109と同様に、ソルダーレジスト（絶縁層）115が設けられている。通常、ベアICチップの実装に際しては、領域103のように、導体層で形成されたアイランドをプリント配線板に設けこのアイランドの上にベアICチップをダイボンディングにより実装するのであるが、本例では、プリント配線板100側のアース電位を必しも確保する必要のないベアICチップ201、202に関しては、その下部となる部分に回路パターン109を設けたことにより、ベアICチップ201、202、203の周囲に設ける必要のある回路パターン109の数を削減でき、結果としてプリント配線板100を小形化することが可能となっている。

【0059】上記プリント配線板100の領域101～103には夫々銀ペーストが塗付されてベアICチップ201～203がダイボンディングされる。そして、図2に示す如く、プリント配線板100のリードパッド107とベアICチップ201～203の電極パッド205がワイヤ208にてワイヤボンディングされてマルチチップモジュール5Aが形成される。また、このマルチチップモジュール5Aは、外部電極パッド105を用いてファンクションテストを行い、良品のマルチチップモジュール5Aのみが図3に示すように主プリント配線板1に実装される。このマルチチップモジュールの実装に



際しては、プリント配線板100の外周面に形成された外部電極パッド105が主プリント配線板1に半田付けされるので、主プリント配線板1側に必要とされるマルチチップモジュールの実装領域は、プリント配線板100の面積程度のスペースを確保すれば良い。

【0060】図5乃至図14は第2の実施例を示す図であり、図5はマルチチップモジュールの完成品の斜視図、図6はプリント配線板の斜視図、図7はプリント配線板を裏面から示した斜視図、図8はプリント配線板の平面図、図9はダム枠の斜視図、図10はダム枠付プリント配線板の斜視図、図11はダム枠付プリント配線板にベアICチップを実装した状態の斜視図、図12はダム枠付プリント配線板の製造工程図、図13はベアICチップの実装工程図、図14は真空吸着器を用いたマルチチップモジュールの実装を示す断面図である。

【0061】本例に係るマルチチップモジュール5Bは、図5及び図11に示す如く、多層のプリント配線板100A、このプリント配線板100に実装される3種類のベアICチップ201、202、203、及びチップ201～203を囲繞する状態にプリント配線板100Aに取り付けられる樹脂封止用のダム枠220を具備し、ダム枠220内にチップ201～203を封止する樹脂230が充填される。

【0062】プリント配線板100Aの構造は概略第1の実施例に係るプリント配線板100と同様な構成となっている。これを概略説明すると、図6乃至図8に示す如く、プリント配線板100Aの外周面にはスルーホールを半分に切断した形状の外部電極パッド105が多数設けられている。また、プリント配線板100Aの表面には、ベアICチップ201、202、203の実装領域101、102、103を囲むようにしてワイヤボンディング用のリードパッド107が多数設けられている。また、これらのリードパッド107や外部電極パッド105間はプリント配線板100Aの表面に設けられた回路パターン、プリント配線板に形成された貫通スルーホール、インタースティシャルパイアホール及びプリント配線板100Aの内層に設けられた導体層で接続されている。また、プリント配線板100Aの領域101、102内にも回路パターンが設けられ、領域103は導体層で形成されたアイランドとなっている。そして、プリント配線板100Aの表裏両面には、外部電極パッド105、リードパッド107及び領域103以外を覆うようにして絶縁層としてのソルダーレジスト115が設けられている。また、このソルダーレジスト115は、外部電極パッド105間に半田ブリッジが生じないように、外部電極パッド105間にも設けられている。

【0063】樹脂封止用のダム枠220は、図9乃至図11に示す如く、ベアICチップ201、202、203全体を囲繞できる大きさの角形状を有しており、ま

た、樹脂封止時やリフロー半田付時にプリント配線板100Aに熱歪が生じないように補強部221が設けられ2分割されている。

【0064】次に上記プリント配線板100Aに対するダム枠220の取付工程及びベアICチップの実装工程につき図12及び図13を用いて説明する。

【0065】ダム枠取付工程は、図12に示す如く、まず、プリント配線板100Aの所定箇所に接着剤を塗付する。本例のダム枠取付は自動機を用いて行なわれる構成となっており、接着剤塗付に際しては、図8に示す如く、プリント配線板100Aの対角線上の位置(円部A、B)にある2つの外部電極パッド(金色)105とこのパッド105に隣接するソルダーレジスト(緑色)115との境界を両者の色の相違より読取器で認識し、この2つの境界部分を基準位置としてプリント配線板100Aの所定箇所に接着剤を塗付する。この際、外部電極パッド105は金メッキであり、ソルダーレジスト115はプリント配線板100Aの基板(通常半透明)よりも認識しやすい色(例えば緑)となっているので、2つの境界部分を読取器で正確に読み取れる。

【0066】次に、上記2つの境界部分を基準位置として、プリント配線板100Aの接着剤が塗付された所定箇所にダム枠220をマウントし、接着剤を硬化させてダム枠220はプリント配線板100Aに取り付けられる(図10)。

【0067】このように本例のマルチチップモジュールでは、ダム枠220の位置決めは外部電極パッド105とソルダーレジスト115の境界部分を色の差より認識し、この境界部分を基準位置として行う構成であり、従来の如き位置決め用の穴部をプリント配線板100Aに形成する必要がないので、プリント配線板100Aの小形化を図れる。

【0068】ベアICチップの実装工程は、図13に示す如く、まず、ダム枠付きのプリント配線板100Aの領域101～103に銀ペーストを塗付してベアICチップ201～203のダイボンディングを行い、硬化後、プリント配線板100Aのリードパッド107とベアICチップ201～203の電極パッドとをワイヤ208にてワイヤボンディングする(図11)。そして、ダム枠220内に樹脂230を充填してベアICチップ201～203の樹脂封止を行い(図5)、硬化後、ファンクションテストを行う。

【0069】また、本例のマルチチップモジュール5Bでは、図14に示す如く、ダム枠220で囲まれた部分を真空吸着器7を用いて吸着して主プリント配線板1に実装する構造となっている。この場合に、ダム枠220は3つのベアICチップ201～203を囲繞する大きさとなっているので、十分な吸着面積を確保できる。また、樹脂230はその上面がダム枠の上端面と同一か若干低くなる範囲でかつ所定の平坦度を保つように充填さ

れているので、吸着器7を用いてマルチチップモジュール5Bを確実に吸着できる。

【0070】図15乃至図17は第3の実施例を示す図であり、図15はマルチチップモジュールのプリント配線板の一部切欠斜視図、図16は図15のプリント配線板の抵抗部分の断面図、図17は図15のプリント配線板のコンデンサ部分の断面図である。

【0071】本例のマルチチップモジュールは、主プリント配線板1に実装される他のマルチチップモジュールとの信号調整用の抵抗及びコンデンサを前述したマルチチップモジュール5A又は5Bに組み込む場合を示したものであり、プリント配線板100Bはセラミックやその他の材料で形成された基板118を積層することにより形成されている。

【0072】本例のプリント配線板100Bにおいても、図15に示すように、外周面にはスルーホールを半分に切断した形状の外部電極パッド105が多数設けられ、表面にはベアICチップ201、202、203の実装領域を囲むようにして多数のリードパッド107が設けられ、かつ、これらのリードパッド107や外部電極パッド105間はプリント配線板100Bの表面に設けられた回路パターン109、貫通スルーホール111、インタースティシャルバイアホール112及び内層に設けられた導体層119で接続されている。そして、さらに注目すべき点は、プリント配線板100Bの内部に抵抗121及びコンデンサ122が形成されている点にある。抵抗121は、図16に示すように、基板118に抵抗体層124を印刷しこの抵抗体層124の両端を内層となる導体層119で接続して形成されている。また、コンデンサ122は、図17に示すように、一方の導体層119に誘電体層126を印刷し、一方の導体層119と他方の導体層119とで誘電体層126を挟むようにして基板118を積層することにより形成されている。尚、抵抗121、コンデンサ122と接続されている導体層119はインタースティシャルバイアホール112や回路パターン109等を介してリードパッド107や外部電極パッド105に接続されている。また、抵抗体層124としてはAg-Pd系ペーストやRh酸化物系ペースト等が、誘電体層126としてはチタン酸バリウム結晶化ガラス等が使用されている。

【0073】本例では、上記のように、抵抗121やコンデンサ122をプリント配線板100B内に内蔵したので、マルチチップモジュールを大形化させないで、抵抗やコンデンサをマルチチップモジュールに組み込むことができる。

【0074】図18乃至図20は第4の実施例を示す図であり、図18はマルチチップモジュールの分解斜視図、図19はマルチチップモジュールの斜視図、図20は主プリント配線板に実装されたマルチチップモジュールの斜視図である。本例のマルチチップモジュールはブ

リント配線板に複数のベアICチップをフリップチップボンディングにより実装する場合を示したものである。

【0075】本例に係るマルチチップモジュール5Dは、図18及び図19に示すように、多層のプリント配線板100Dとこのプリント配線板100Dに実装される3種類のベアICチップ201D、202D、203Dを具備して構成されており、ベアICチップ201D、202D、203Dはプリント配線板100Dの表面の一点鎖線で示された領域101D、102D、103Dに夫々実装される。

【0076】プリント配線板100Dの外周面には、プリント配線板100と同様、図20に示す主プリント配線板1側に半田付けされる外部電極パッド105が多数設けられている。また、プリント配線板100Dの表面には、領域101D、102D、103D内に、フリップチップボンディング用のパッド131が多数設けられている。そして、これらのパッド131や外部電極パッド105間はプリント配線板100Dの表面に設けられた回路パターン109、印刷抵抗体133、印刷誘電体134やプリント配線板100Dに形成された貫通スルーホール111、インタースティシャルバイアホール112で接続されている。

【0077】本例では、第1の実施例と同様、プリント配線板100D表面の回路パターン109と内層導体をインタースティシャルバイアホール112で接続することにより、プリント配線板100Dの表面に形成する必要がある回路パターンの数を削減している。また、本例の特徴的な点は、フリップチップボンディングされるベアICチップ201D、202D、203Dの真下、つまり、領域101D、102D、103Dに印刷抵抗体133及び印刷誘電体134を設けた点にある。これにより、従来ベアICチップの周囲に設ける必要があったチップ抵抗、チップコンデンサを削減することができ、従って、マルチチップモジュールをさらに小形化できる。尚、プリント配線板100Dに印刷抵抗体133及び印刷誘電体134を形成後、プリント配線板100Dの表面には、フリップチップボンディング用のパッド131及び外部電極パッド105の部分を除いてソルダーレジスト115が設けられている。

【0078】また、プリント配線板100Dの表面であって、領域101D、102D、103Dの外側には、トリミングを可能とした調整用の印刷抵抗体136、印刷誘電体137が設けられている。高周波回路においては、抵抗体や誘電体を印刷にて形成した場合には、微調整を必要とするが、印刷抵抗体や印刷誘電体が内層に形成される場合やベアICチップの下方に形成される場合はそれらの微調整を行うことはできない。そこで、トリミングを可能とした印刷抵抗体136、印刷誘電体137をプリント配線板100Dの表面に設けている。

【0079】上記プリント配線板100Dの領域101

D、102D、103Dのパッド131にはフリップチップボンディング方式によりベアICチップ201D、202D、203Dが接合され、マルチチップモジュール5Dが形成される。このフリップチップボンディング方式による場合は、ベアICチップの周囲にボンディング用のパッドを設ける必要がないので、ワイヤボンディング方式の場合よりもマルチチップモジュールを小形化できる。尚、上記マルチチップモジュール5Dは、第1の実施例におけるマルチチップモジュール5Aと同様、外部電極105を用いてファンクションテストを行った後、良品のマルチチップモジュール5Dのみが図20に示すように、主プリント配線板1に実装される。このマルチチップモジュール5Dの実装においても、プリント配線板100Dの外周面に形成の外部電極105が主プリント配線板1にはんだ付けされるので、第1の実施例と同様、主プリント配線板1側に必要とされるマルチチップモジュールの実装領域はプリント配線板100Dの面積程度のスペースを確保すれば良い。

【0080】

【発明の効果】以上説明したように、第1の発明に係るマルチチップモジュールでは、他のプリント配線板に半田付けするための外部電極パッドがプリント配線板の外周面に形成されているので、従来の如きリード端子をプリント配線板の周縁部に設ける必要はない。従って、リード端子の取付工数を削減でき、又、リード端子のスペースを他のプリント配線板に必要としない点で、他のプリント配線板の電子部品実装密度を高くできる。

【0081】第2の発明に係るマルチチップモジュールでは、プリント配線板の表面であってベアICチップの底面側に回路パターンが設けられているので、ベアICチップの周囲に設ける必要のある回路パターンを減少させることができ、その分だけプリント配線板の小形化を図れる。

【0082】第3の発明に係るマルチチップモジュールでは、第1及び第2の発明に係るマルチチップモジュールの効果とを合せ持つ。

【0083】第4の発明に係るマルチチップモジュールでは、プリント配線板の表面であってベアICチップの底面側に抵抗やコンデンサを形成できるので、ベアICチップの周囲にチップ抵抗、チップコンデンサを設けなくて済む。

【0084】第5の発明に係るマルチチップモジュールでは、第1乃至第3の発明のうちの何れかに記載の発明の効果と第4の発明の効果とを合せ持つ。

【0085】第6の発明に係るマルチチップモジュールでは、プリント配線板の内層に設けられた導体層及びインターフェースバイアホールを介して複数のベアICチップが電気的に接続されているので、ベアICチップの周囲に設ける必要のある回路パターンを減少させることができ、その分だけプリント配線板の小形化を図れ

る。

【0086】また、第7の発明に係るマルチチップモジュールは、第1乃至第5の発明のうちの何れかに記載の発明の効果と第6の発明の効果とを合せ持つ。

【0087】第8の発明に係るマルチチップモジュールでは、プリント配線板の内層に抵抗を形成できるので、プリント配線板の表面にチップ抵抗を設ける必要がなくなり、その分だけプリント配線板の小形化を図れる。

【0088】また、第9の発明に係るマルチチップモジュールでは、第1乃至第7の発明のうちの何れかの発明の効果と第8の発明の効果とを合せ持つ。

【0089】第10の発明に係るマルチチップモジュールでは、プリント配線板の内層にコンデンサを形成できるので、プリント配線板の表面にチップコンデンサを設ける必要がなくなり、その分だけプリント配線板の小形化を図れる。

【0090】また、第11の発明に係るマルチチップモジュールでは、第1乃至第7の発明のうちの何れかの発明の効果と第10の発明の効果とを合せ持つ。

【0091】第12の発明に係るマルチチップモジュールでは、プリント配線板の内層に抵抗及びコンデンサを形成できるので、プリント配線板の表面にチップ抵抗やチップコンデンサを設ける必要がなくなり、その分だけプリント配線板の小形化を図れる。

【0092】また、第13の発明に係るマルチチップモジュールでは、第1乃至第7の発明のうちのいずれかの発明の効果と第12の発明の効果とを合せ持つ。

【0093】第14の発明に係るマルチチップモジュールでは、調整用の印刷抵抗体、印刷誘電体が設けられているので、第1乃至第13の発明において、抵抗、コンデンサの微調整を行なえるという効果を有する。第15の発明に係るマルチチップモジュールでは、一つのダム枠で複数のベアICチップを囲繞しているため、ベアICチップごとにダム枠を設ける必要がなくなる。従って、ダム枠の取付工数を削減することができ、また、全体としてのダム枠の占める面積を減少させることができるので、この点からもプリント配線板の小形化を図れる。また、ダム枠で囲まれた部分を真空吸着器を用いて吸着する場合に十分な吸着面積を確保できる。

【0094】第16の発明に係るマルチチップモジュールでは、第1乃至第14の発明のうちの何れかの発明の効果と第15の発明の効果とを合せ持つ。

【0095】第17の発明に係るマルチチップモジュールは、ダム枠に補強部が設けられているので、第15又は第16の発明の効果とを有する他に、樹脂封止及びリフローはんだ付け時にプリント配線板の熱によるストレスを軽減できる。

【0096】第18の発明に係るマルチチップモジュールでは、電極パッドとこの電極パッドの周囲との境界部分を基準としてプリント配線板にダム枠が取り付けられ

るので、プリント配線板にダム枠取付用の穴部を設ける必要がない。従って、穴部で妨げられないで回路パターンを設けられるのでプリント配線板の小形化を図れる。

【0097】第19の発明に係るマルチチップモジュールでは、電極パッド間のハンダブリッジを防止するために電極パッドに隣接させて設けられるソルダーレジスト（一般に緑色）と電極パッド（一般に金色）との境界部分がダム枠取付用の基準位置となっており、境界部分が色の差から明確になるので、第18の発明に加え、境界部分の認識率が向上するという効果を有する。

【0098】第20の発明に係るマルチチップモジュールでは、複数のベアICチップを囲繞するダム枠内に充填される樹脂はダム枠よりも突出していないので、マルチチップモジュールのダム枠で囲まれた部分を真空吸着器で確実に吸着できる。

【0099】第21の発明に係るマルチチップモジュールでは、プリント配線板の表面には、ベアICチップの周囲にボンディング用のパッドを設ける必要がないので上記第1乃至第20の発明において、マルチチップモジュールをさらに小形化できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るマルチチップモジュールの分解斜視図。

【図2】図1に示されたマルチチップモジュールの組立斜視図。

【図3】図2に示されたマルチチップモジュールを主プリント配線板に実装した状態の斜視図。

【図4】図2に示されたマルチチップモジュールの要部断面図。

【図5】本発明の第2の実施例に係るマルチチップモジュールの斜視図。

【図6】図5に示されたマルチチップモジュールのプリント配線板の斜視図。

【図7】図6に示されたプリント配線板を裏面から示した斜視図。

【図8】図6に示されたプリント配線板の平面図。

【図9】図5に示されたマルチチップモジュールのダム枠の斜視図。

【図10】ダム枠付プリント配線板の斜視図。

【図11】ダム枠付プリント配線板にベアICチップを実装した状態の斜視図。

【図12】ダム枠付プリント配線板の製造工程図。

【図13】ベアICチップの実装工程図。

【図14】図5に示されたマルチチップモジュールを実

装する状態を示す断面図。

【図15】本発明の第3の実施例に係るマルチチップモジュールのプリント配線板の切欠斜視図。

【図16】図15のプリント配線板の要部拡大図。

【図17】図15のプリント配線板の要部拡大図。

【図18】本発明の第4の実施例に係るマルチチップモジュールの分解斜視図。

【図19】図18に示されたマルチチップモジュールの組立斜視図。

10 【図20】図19に示されたマルチチップモジュールを主プリント配線板に実装した状態の斜視図。

【図21】パッケージ形ICが実装されたプリント配線板の平面図。

【図22】ベアICチップが実装されたプリント配線板の斜視図。

【図23】従来のマルチチップモジュールの斜視図。

【図24】図20に示されたマルチチップモジュールのプリント配線板とダム枠の要部拡大図。

20 【図25】図20に示されたマルチチップモジュールの製造工程図。

【図26】図20に示されたマルチチップモジュールを実装する状態を示す断面図。

【符号の説明】

1 他のプリント配線板

5A, 5B, 5D マルチチップモジュール

100, 100A, 100B, 100D プリント配線板

101, 102, 103, 101D, 102D, 103Dチップ実装領域

30 105 外部電極パッド

109 回路パターン

112 インタースティシャルバイアホール

115 絶縁層（ソルダーレジスト）

116 内層

119 導体層

124 抵抗体層

126 誘電体層

133 印刷抵抗体

134 印刷誘電体

40 136 調整用印刷抵抗体

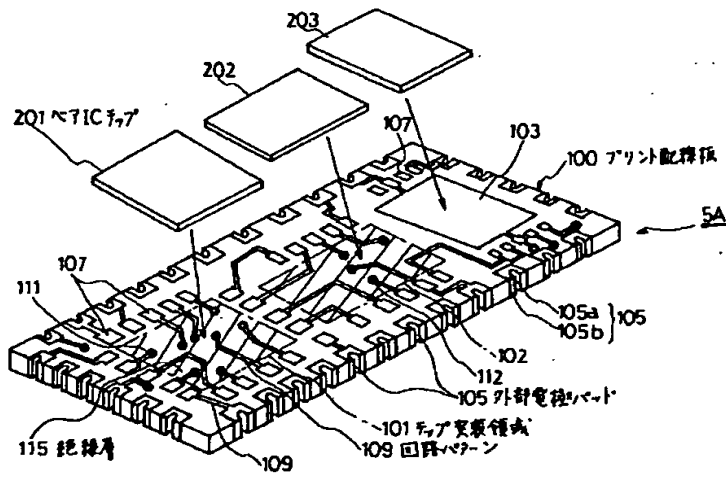
137 調整用印刷誘電体

220 ダム枠

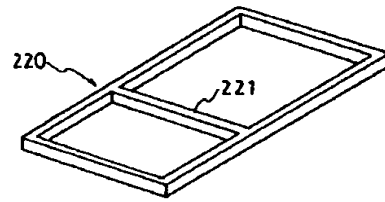
221 補強部

230 樹脂

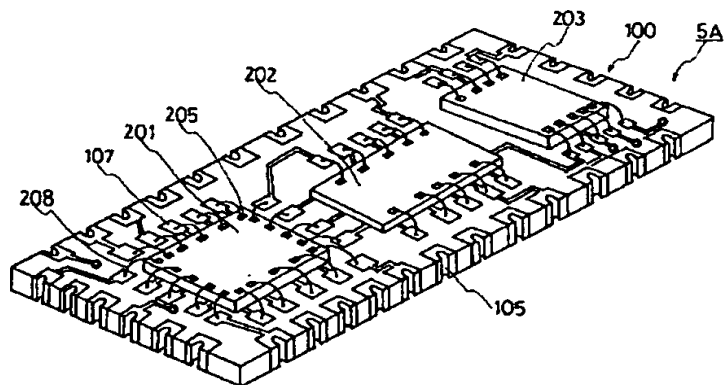
【図1】



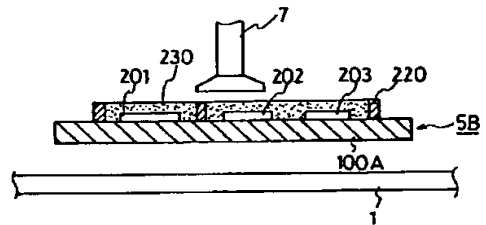
【図9】



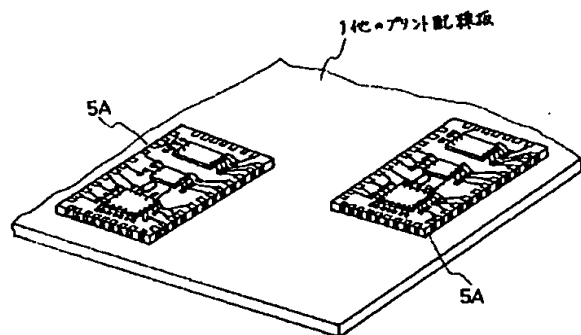
【図2】



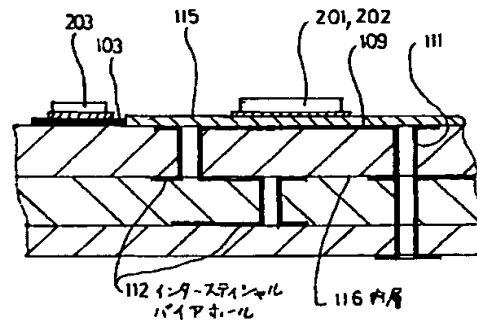
【図14】



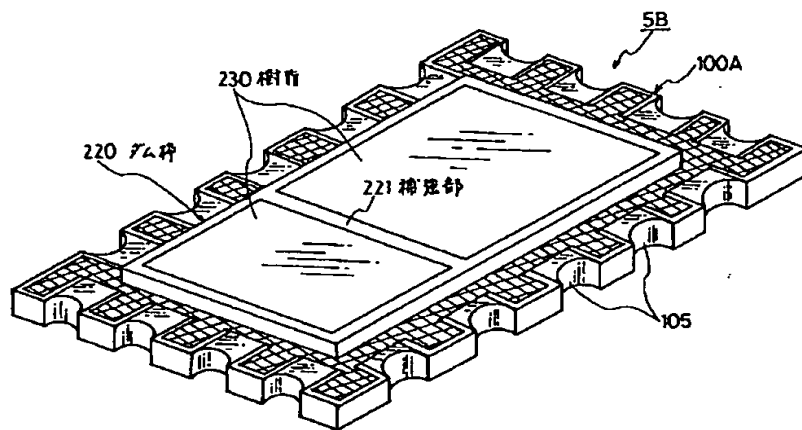
【図3】



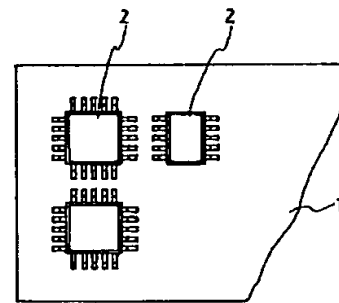
【図4】



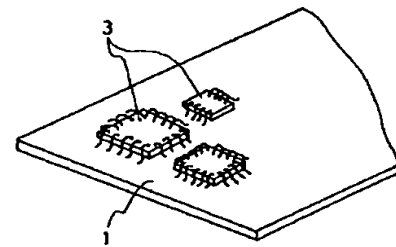
【図5】



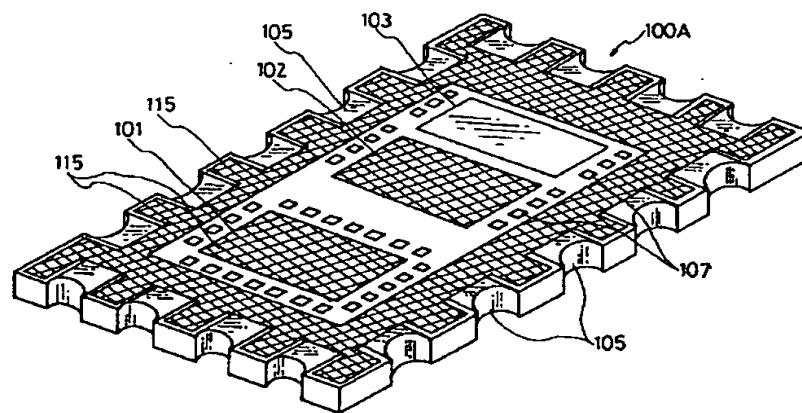
【図21】



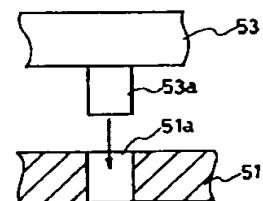
【図22】



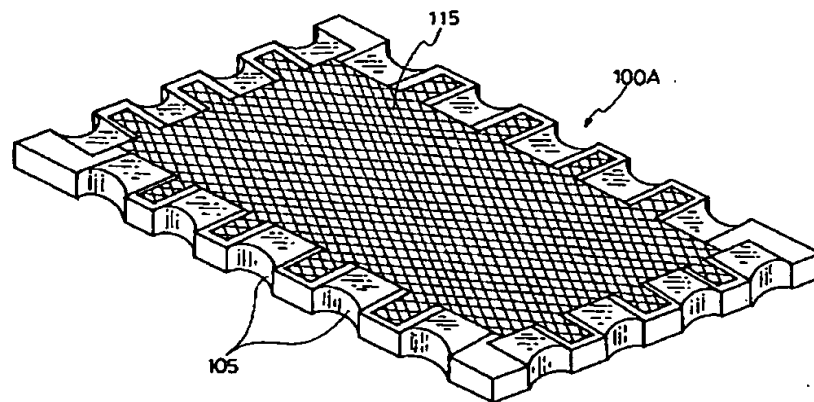
【図6】



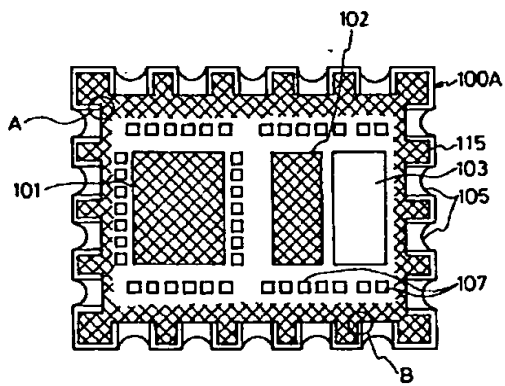
【図24】



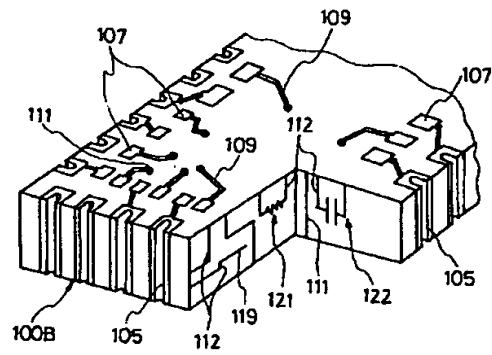
【図7】



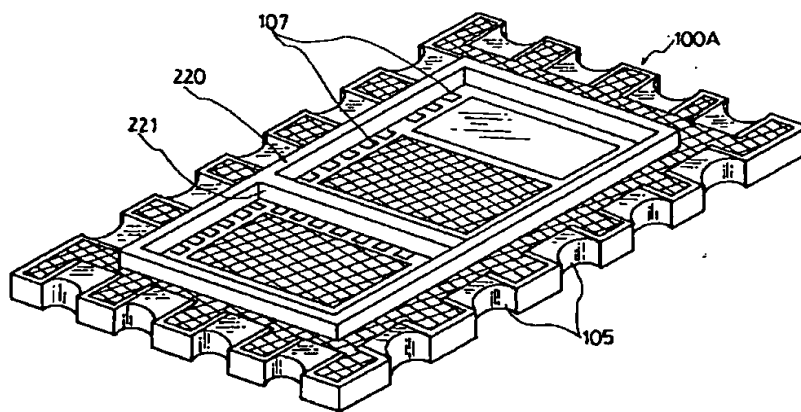
【図 8】



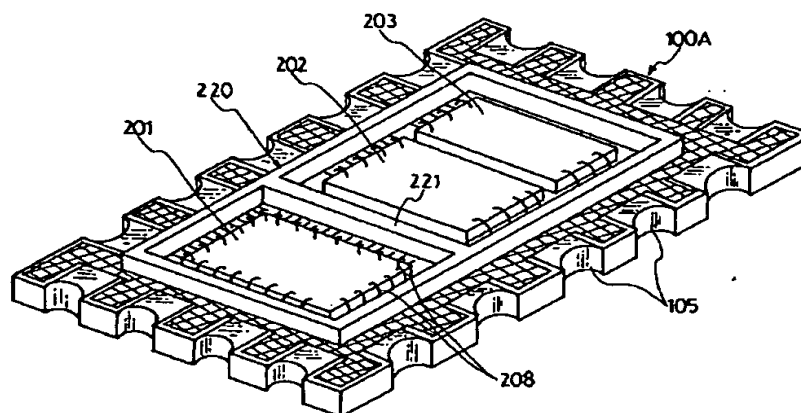
【図 15】



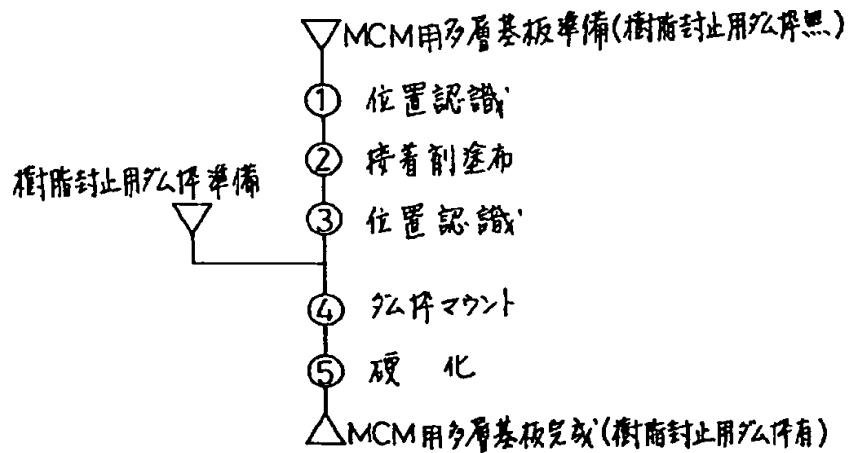
【図 10】



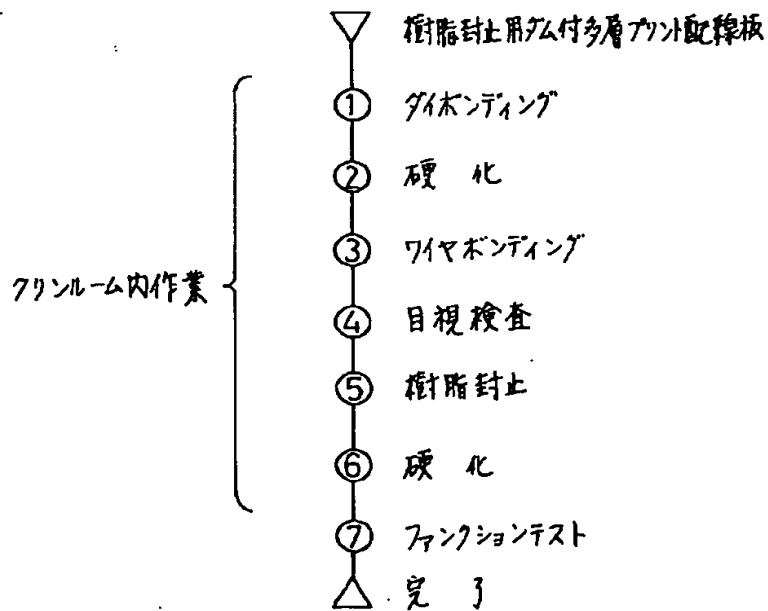
【図 11】



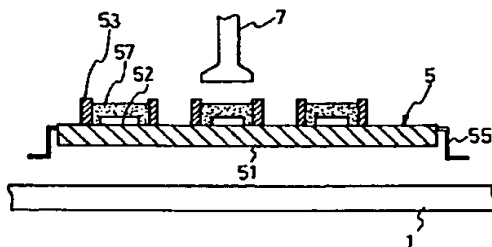
【図12】



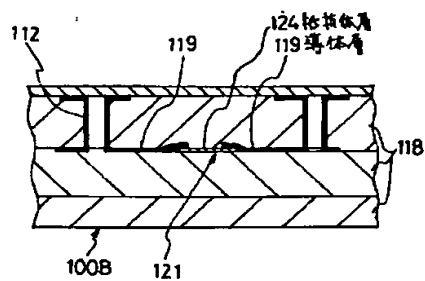
【図13】



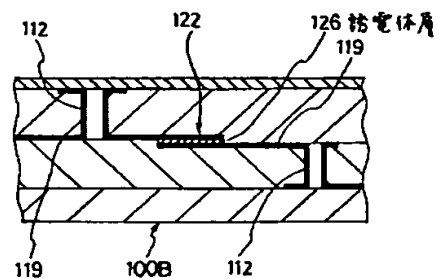
【図26】



【図16】

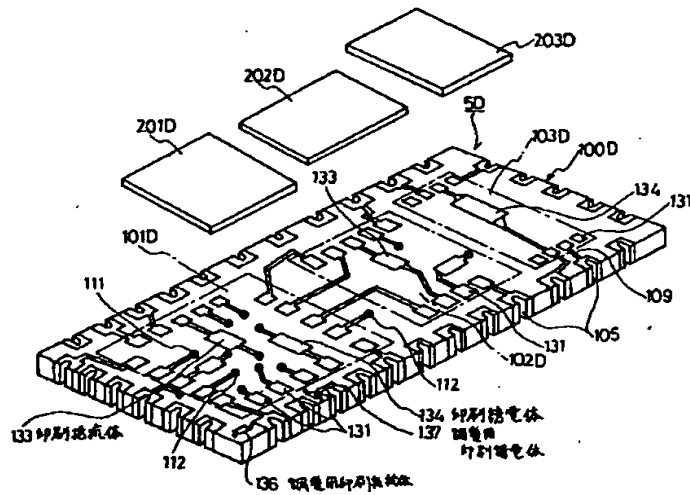


【図17】

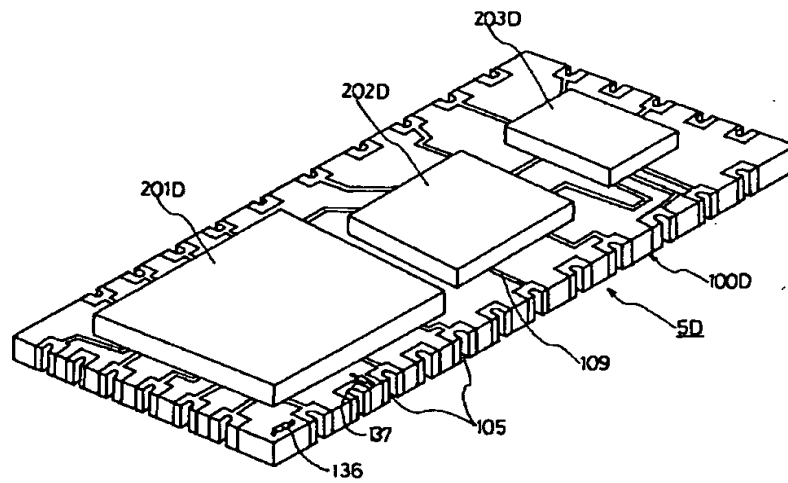




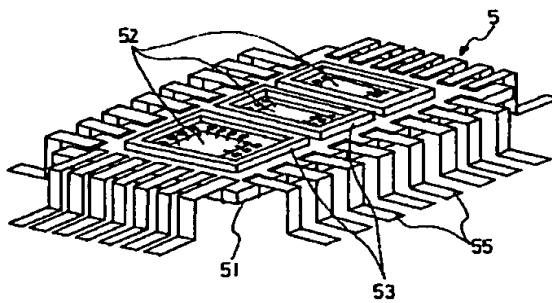
【図18】



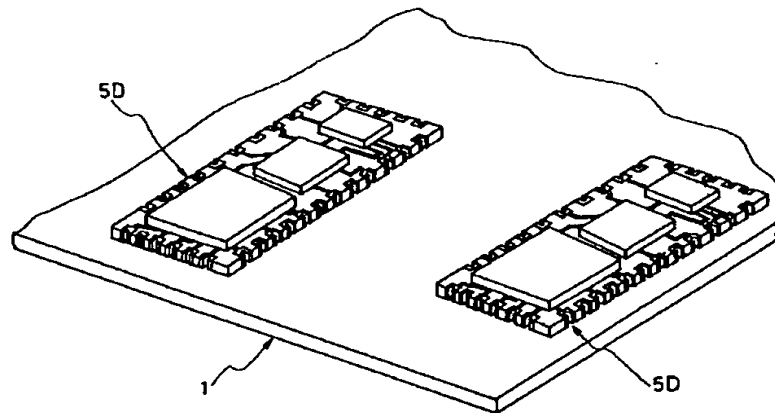
【図19】



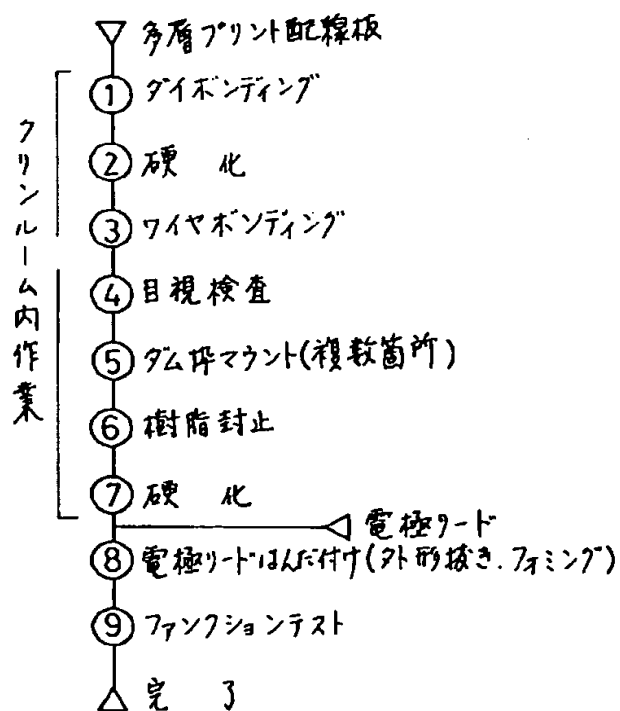
【図23】



【図20】



【図25】



フロントページの続き

(72)発明者 宝木 一敏  
東京都日野市旭が丘3丁目1番地の1 東  
芝日野通信工業株式会社内